

Comparaison entre un MOSBULK et un MOSiGeOI en Technologie SiGe utilisant le modèle BSIM 3V3.1 PSPICE: Application aux circuits LVDS.

Z. Rebaoui¹, D. Chalabi¹, A. Saïdane¹, M. Abboun Abid¹

¹: ENPO Laboratoire CsiCCe BP 1523 Oran El Menaour 3100 Oran

Corresponding: dchalabi@yahoo.fr

Abstract - Dans cet article nous avons présenté une étude comparative d'un MOSBULK et d'un NMOSiGeOI en faisant la superposition d'un MOS, d'un bipolaire NPN et d'un condensateur. Le simulateur PSPICE et le modèle BSIM3V3 ont été utilisés. A travers les caractéristiques $I_D=f(V_{DS})$, $I_D=f(V_{GS})$, de la conductance et de la transconductance nous montrons le bon fonctionnement du dispositif calculé en faible tension. Nous notons en revanche quelques effets inhérents au MOSiGeOI.

Mots clé: MOS BULK, MOSiGeOI, BiCMOS, LVDS, BSIM3V3, transistor parasite

1. INTRODUCTION

La zone utile dans un transistor MOSFET est très mince, elle est de l'ordre de 1 % de l'épaisseur totale. Le reste de la plaque semi-conductrice sert d'un support mécanique, et provoque des effets parasites indésirables. D'où l'idée d'isoler la partie active du reste de substrat par un oxyde (SiO_2). Grâce à la présence de cette couche d'oxyde enterrée et à sa permittivité ($\epsilon_r = 4$) trois fois plus faible que celle du silicium massif ($\epsilon_r = 1,235$), les capacités parasites en SiGeOI sont très inférieures à celles des jonctions polarisées en inverse du transistor MOS sur substrat massif [1].

Si le champ électrique est suffisamment intense, certains électrons de la bande de conduction peuvent acquérir une énergie telle que leur impact sur un atome du réseau cristallin aboutit à la rupture d'une liaison de valence. On obtient donc deux électrons dans la bande de conduction et un trou dans la bande de valence. Les trous générés par l'ionisation peuvent emprunter différents chemins comme le montre la figure 1[2].

Ils peuvent être attirés par l'électrode du substrat et donner naissance à un courant de substrat I_{sub} important. Certains d'entre eux peuvent également migrer vers la source et créer un abaissement de la barrière à la jonction source-canal. Il se produit alors une injection d'électrons supplémentaires de la source vers le canal. L'ensemble source-canal-drain travaille comme un transistor NPN dont la base (substrat) est flottante. Le collecteur et l'émetteur sont respectivement le drain et la source.

En régime de fonctionnement, le collecteur présente un dopage élevé ainsi, l'état d'avalanche de la jonction base-collecteur peut être facilement atteint (figure 1).

L'effet bipolaire parasite est à l'origine de deux conséquences préjudiciables pour les transistors semi conducteurs oxyde isolant (dans notre étude le SiGeOI) [3]:

- La destruction du composant pour des tensions de grille supérieures à la tension de seuil et pour des tensions de drain inférieures à la tension de claquage d'un transistor classique sur substrat massif.
- La détérioration de la pente sous seuil lorsque la tension de grille diminue sous le seuil.

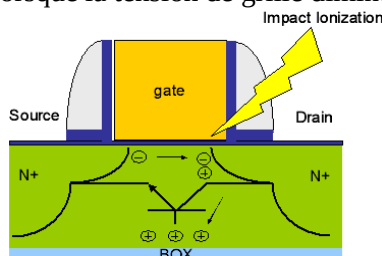


Figure 1 : Effet du transistor bipolaire parasite pour un transistor SiGeOI PD [4]

2. L'APPROCHE PHYSIQUE

L'approche physique du transistor NMOSiGeOI (PD) est représentée par la figure 2.a, tandis que son modèle PSPICE en utilisant l'approche BIMOS avec capacité est montré par la figure 2.b. Ce modèle est composé de la surface du composant MOS et du bipolaire parasite connectés en parallèle, en considérant la région neutre de la couche mince. Le collecteur du BJT et le drain du MOS partagent le même terminal (D). La base connectée avec le substrat du MOS, devient le nœud B du body flottant, et l'émetteur avec la source ont le même point S. La capacité C_{buried} est adaptée pour prendre en compte l'effet de l'oxyde enterré.

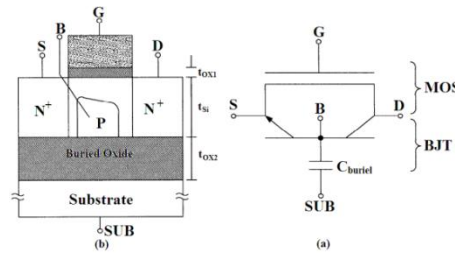


Figure 2 : (a) Une coupe transversale du composant NMOS SiGeOI (PD).
(b) Le modèle Pspice du PD NMOSiGe SOI [5][6]. [8]

3. SIMULATION

3.1. Fonctionnement normal

Après calcul des transistors MOS bulk, BJT et le condensateur enterré, constitution du SiGeOI NMOS et afin d'interpréter la différence entre un MOS Bulk et un SiGeOI NMOS, nous avons simulé les deux composants et nous avons relevé les caractéristiques de sortie $I_D(V_{DS})$ et de transfert $I_D(V_{GS})$ des deux composants ainsi que la conductance et la transconductance dans les mêmes conditions de polarisation. Nous avons introduit les paramètres Spice du MOS Bulk suivants:

Tableau 1: Paramètres Spice du MOS Bulk

Symbol	Paramètre	valeur
L	Chanel ligh	0.09um
T_{NOM}	Nominal Temperature	27°C
W	Chanel wide	0.12um
T_{OX}	Thiknes of oxide	28A°
X_j	Profondeur drain and source	13nm
N_{sub}	Dopage substrat	10^{17} cm^{-3}
V_{TH}	Threshold voltage	0.55 v
N_{LX}	Dopage Drain/ Source	10^{20} cm^{-3}

Pour la modélisation du NMOSiGeOI, nous avons ajouté au montage de la figure précédente, un bipolaire NPN et un condensateur comme l'indique la figure 3.

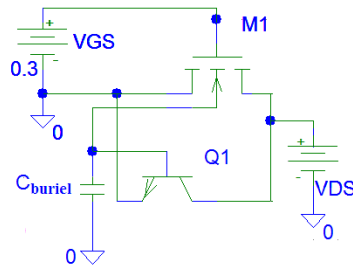


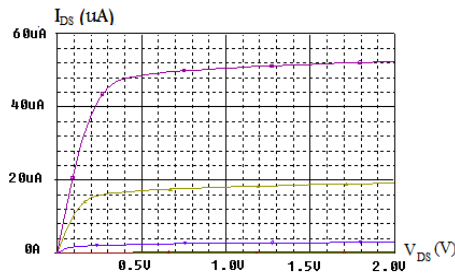
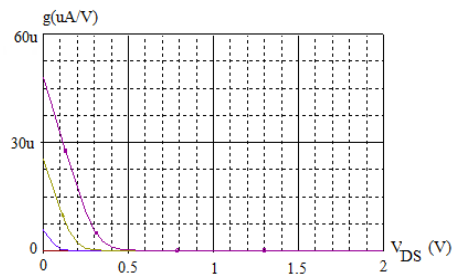
Figure 3: NMOSiGeOI (90nm) monté en source commune

La capacité du condensateur est calculée à partir de l'expression suivante [7]:

$$C_{BOX} = \frac{\epsilon_{BOX} WL}{T_{BOX}} \quad (1)$$

Où : W est la largeur du canal, L sa longueur et T_{BOX} est l'épaisseur de l'oxyde enterré. Les paramètres du bipolaire parasite NPN utilisé dépendent du MOS utilisé.

Pour les deux montages, nous avons varié V_{DS} de 0 à 2V et V_{GS} comme paramètre de 0.2 à 1.8V avec un pas de 0.4V et nous relevons les caractéristiques $I_{DS}=f(V_{DS})$ et les conductances $g = (V_{DS})$. Nous présentons la caractéristique $I_{DS}=f(V_{DS})$ du SiGeOI NMOS et la conductance du MOS bulk illustrées respectivement dans les figures 4 et 5. On note que pour une même tension V_{GS} , le courant I_{DS} du SiGeOI nMOS est plus grand que celui du NMOS bulk ($V_{DS}=1.5V$, $V_{GS}=1.4V$, $I_{DS}(\text{SiGeOI})=46.8\mu A$ et $I_{DS}(\text{bulk})=43.2\mu A$) et que la conductance du NMOS bulk s'annule pour $V_{DS}=0.55V$ et celle du SiGeOI NMOS s'annule pour $V_{DS}=0.9V$.


Figure 4 : Caractéristiques $I_{DS} = f(V_{DS})$ pour SiGeOI NMOS

Figure 5 : La conductance $g = f(V_{DS})$ pour le MOSbulk

Nous avons varié V_{GS} de 0.2 à 2V et V_{DS} comme paramètre de 0.5 à 3V avec un pas de 0.5V, nous- obtenons les caractéristiques de transfert $I_{DS}=f(V_{GS})$ et la transconductance $g_m = f(V_{GS})$. Nous représentons uniquement la fonction de transfert du SiGeOI NMOS et la transconductance du NMOS bulk: figures 6 et 7.

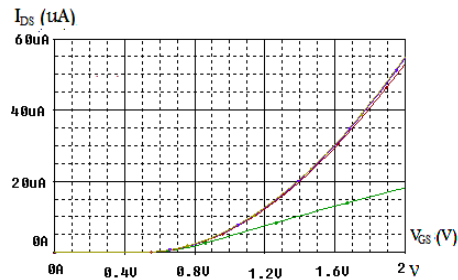


Figure 6 Les caractéristiques de transfert $I_d=f(V_{GS})$ (SiGeOI NMOS)

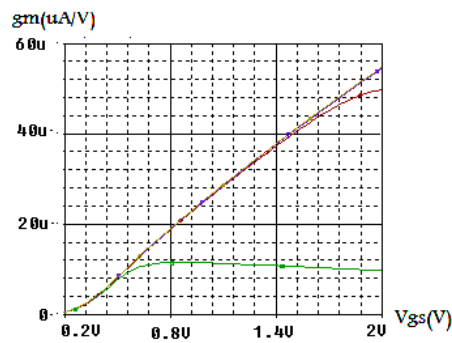


Figure 7 : La transconductance $G_m=f(V_{GS})$ (MOSbulk)

3.2. Simulation sous seuil.

Pour mieux comprendre l'utilité de la technologie SiGeOI, Nous avons simulé le composant MOS Bulk (90nm) et de SiGeOI NMOS (90nm) et nous avons relevé les caractéristiques de sortie $I_D=f(V_{DS})$ et de transfert $I_D=f(V_{GS})$. Pour le relevé des caractéristiques $I_{DS}=f(V_{DS})$ sous seuil nous avons varié V_{DS} de 0 à 0.5V et V_{GS} de 0.2 à 0.5 avec un pas de 0.1V. Nous avons relevé les caractéristiques de sortie des transistors calculés comme l'indiquent les figures 8 et 9.

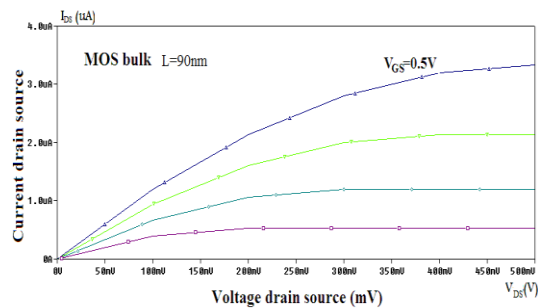


Figure 8 : Caractéristiques $I_{DS} = f(V_{DS})$

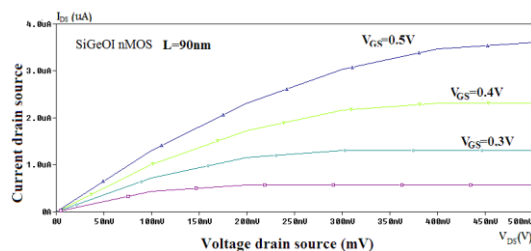


Figure 9: Caractéristiques $I_{DS} = f(V_{DS})$

3.3. La pente sous seuil

Le courant sous seuil est un courant qui circule entre le drain et la source du transistor, alors que la tension de grille V_{GS} est inférieure à la tension de seuil V_{T0} .

Le comportement de ce courant a évolué au fur et à mesure de l'apparition des technologies submicroniques. Dans une approximation au premier ordre, pour les transistors à canaux longs, le courant sous seuil est donné par l'équation suivante [8] :

$$I_{DS} = \mu C_{ox} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS} - V_{T0}}{n\phi_t}\right) \left(1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right) \quad (2)$$

Où : $\Phi_t = kT/q$, $n = 1 + C_D/C_{ox}$ (en technologie bulk), C_D la capacité de la couche déplétée et C_{ox} la capacité de l'oxyde de grille.

V_{DS} est grande devant Φ_t ($\Phi_t = 25\text{mV}$ à 300K), l'expression 2 s'écrit :

$$I_{DSth} = \mu C_{ox} \frac{W}{L} \left(\frac{kT}{q}\right)^2 \phi_t^2 \exp\left(\frac{q(V_{GS} - V_{T0})}{nkT}\right) \quad (3)$$

La caractéristique du courant sous seuil est généralement représentée par une échelle semi-logarithmique $\log_{10}(I_{DSth})$ en fonction de V_{GS} . Cette caractéristique est par conséquent une droite. S est la pente appelée pente sous le seuil (output swing). Elle est appelée la pente S et est définie comme l'inverse de la pente $\log(I_{DS}) = f(V_{GS})$. Elle est donnée par :

$$S = \frac{1}{\frac{\partial \ln(I_{DS})}{\partial V_{GS}}} = \frac{nkT}{q} \ln(10) \quad (4)$$

Plus le facteur S est petit, plus le courant sous seuil sera négligeable pour une tension de grille donnée. Il faut donc minimiser le coefficient d'effet du substrat n qui est proche de 1. On peut minimiser l'effet de substrat en réduisant C_D , c'est-à-dire en diminuant le dopage du substrat (expressions 5 et 6).

$$C_D = \frac{\epsilon_{Si}}{w_D} \quad (5)$$

$$w_D = \sqrt{\frac{4\epsilon_{Si}\phi}{qN_D}} \quad (6)$$

w_D est l'épaisseur de la couche de déplétion dans le substrat, Φ le potentiel de Fermi et N_D la concentration du substrat en impureté. La pente sous le seuil s'exprime en mV/dec et correspond à la variation de la tension de grille nécessaire pour augmenter le courant de drain d'une décade. Pour un transistor à canal long et à faible capacité de déplétion et à la température ambiante, la pente S est de 60 mV/dec .

Le courant de drain I_{DS} en faible inversion est exponentiellement proportionnel à la tension grille-source V_{GS} . Cette variation est exprimée en définissant une référence de densité de courant $d_0 = I_0/W_0$ mesurée à $V_{GS} = V_{T0}$. L'expression peut se mettre encore sous la forme Suivante [8] :

$$I_{DS}(V_{GS}) = W \left(\frac{I_0}{W_0}\right) 10^{\left(\frac{|V_{GS}| - |V_{T0}|}{S}\right)} \quad (7)$$

Où : W est la largeur de grille du transistor. Il faut noter dans ce cas, que V_{T0} ne représente pas la tension de seuil classique de la forte inversion. V_{T0} est une pseudo-tension de seuil qui est définie comme étant la tension V_{GS} pour laquelle $I_{DS} = I_0$ pour un transistor de largeur W_0 . V_{T0} est définie par rapport à la référence de densité de courant d_0 .

Pour une tension V_{DS} égale à 0.6V , nous avons varié V_{GS} de 0 à 0.5V et nous avons représenté les courbes $\text{Log}(I_{DS}) = f(V_{GS})$ de la figure 10.

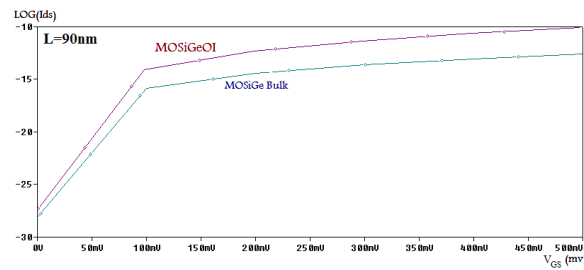


Figure 10 : Caractéristiques de transfert $\log(I_d) = f(V_{GS})$

3.4: Applications aux circuits LVDS

Les composants calculés (MOSiGe, BiCMOSiGe) ont été testés afin qu'ils soient introduits dans des systèmes plus complexes. Nous les avons utilisés dans les circuits LVDS avec des dimensions réduites ($L=90\text{nm}$ et $W=0.12\mu\text{m}$). Nous étudions dans la suite de l'article le fonctionnement d'un montage LVDS utilisé pour les faibles tensions d'alimentation et à haut débit. [9]

La technologie s'est développée donc pour fournir une alternative de faible puissance et de basse tension. Le montage **LVDS** réalise une vitesse plus élevée et une économie significative d'alimentation électrique et une meilleure stabilité de la basse tension.

Nous donnons dans la figure 11 le schéma électrique d'une structure LVDS montrant un émetteur et un récepteur en technologie BiCMOSiGe.

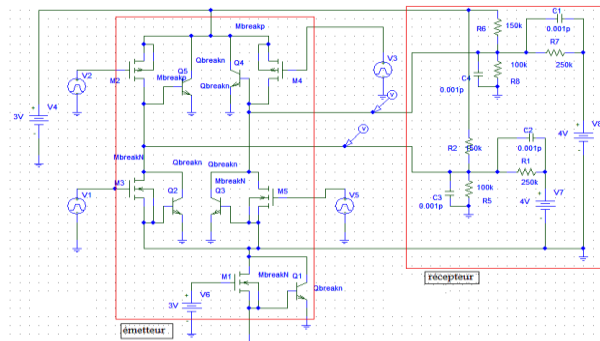


Figure 11 : Montage LVDS en technologie *BiCMOSiGe*

Nous donnons le même schéma (figure 12) utilisant la technologie MOSiGe.

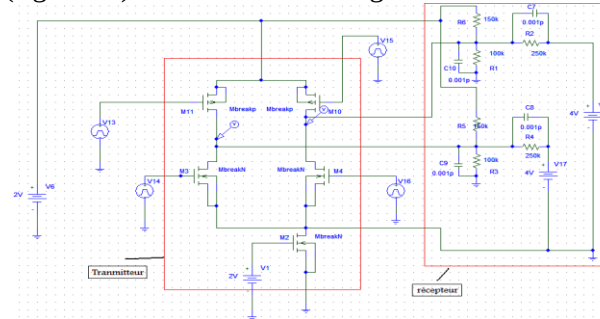


Figure 12 : Montage LVDS en technologie *MOSiGe*

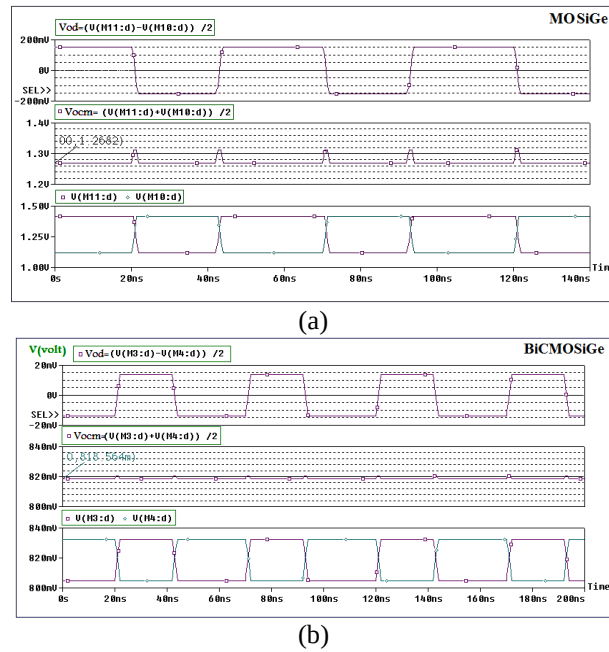


Figure 13 : Chronogrammes des montages LVDS respectivement en technologie:
(a) Bulk SiGe et (b) SiGeOI

La simulation des montages des figures 11 et 12 ont permis d'obtenir les chronogrammes 13(a) et 13(b). Les paramètres du MOSiGe et BiCMOSiGe en technologie LVDS déterminés à partir des chronogrammes 13(a) et 13(b) sont portés dans le tableau 2. Nos résultats correspondent à ceux trouvés par Mingdeng Chen et All [10].

Tableau 2: les paramètres des circuits LVDS à transistor CMOSiGe et BiCMOSiGe

Technologies	LVDS (MOSiGe)	LVDS (BiCMOSiGe)
Tension mode commun Vocm (V)	1.2682 (V)	0.818 mv
LVDS varie entre (Vop-Von)	[1.12 ; 1.42] (V)	[0.804 ; 0.832] mv
Tension (sortie) différentiel Vod = Vop-Von	300mv	27.42mv

D'après le tableau 2, les circuits LVDS à transistors CMOSiGe et BiCMOSiGe pour une basse tension, ont de meilleures performances en termes de faible puissance, grand débit, rapport signal sur bruit important, faible dissipation.

4. Discussion des résultats

Les résultats obtenus sont commentés en observant les graphes des montages bulk NMOSiGe et NMSiGeOI fonctionnant dans les mêmes conditions.

- 1- En régime de saturation, il existe à la jonction canal-drain polarisée en inverse, un champ électrique d'autant plus important que la longueur du canal diminue ($E=V/L$).
Les électrons qui pénètrent dans la zone de déplétion sont accélérés par ce champ et certains d'entre eux acquièrent suffisamment d'énergie cinétique pour être à l'origine de l'ionisation par impact et par conséquent une augmentation du courant de drain. Cet effet est apparent en comparant les caractéristiques $I_{DS}=f(V_{DS})$ des transistors NMOS bulk et SiGeOI NMOS. C'est l'effet bipolaire qui est déduit du body flottant.
- 2- Ce phénomène induit la non saturation du courant I_D qui se caractérise par une pente $\Delta I_D/\Delta V$ et conduit à une conductance plus grande que celle du MOS Bulk.
- 3- Il se produit un abaissement de la tension de seuil entre le MOSbulk et le SiGeOI NMOS. L'abaissement augmente lorsque la longueur du canal diminue.

- 4- La conductivité thermique de l'oxyde enterré dans la structure du SiGeOI NMOS étant beaucoup plus faible que celle du silicium, la chaleur accumulée en régime de saturation ne peut pas être évacuée convenablement par rapport au MOS Bulk, il en résulte un sur-échauffement dans la zone active de silicium et par conséquent une augmentation du courant de drain.
- 5- D'après les caractéristiques $I_{DS} = f(V_{DS})$ sous seuil, on peut distinguer deux régions : une région appelée pseudo-linaire et une région pseudo-saturée.
- 6- Les caractéristiques sous seuil ont les mêmes allures que l'état de fonctionnement normal précédent.
- 7- Pour une même polarisation, le courant de drain du SiGeOI NMOS est plus grand que celui du MOSbulk et augmente davantage lorsque les dimensions sont réduites (voir tableau 2).
- 8- La variation exponentielle du courant, se traduit par un décalage de la courbe $I_{DS} = f(V_{GS})$. Ceci est due à l'effet du substrat flottant, appelé l'effet substrat face avant sur la tension de seuil.
- 9- Ainsi, on parle de pseudo tension de seuil V_T' qui est inférieure à V_T du fonctionnement normal. Cette tension est faible pour le SiGeOI NMOS par rapport au MOSbulk (voir tableau 3)
- 10- D'après ces résultats, on peut constater que:
 - a) La pente sous seuil de la technologie SiGeOI est plus grande par rapport au MOSbulk.
 - b) La pente sous seuil augmente avec la réduction des dimensions et l'augmentation de la tension grille. Ainsi les transistors submicroniques peuvent être utilisés en faible tension et faible consommation.

Tableau 3: Valeurs de la pente sous seuil S des deux transistors étudiés.

Transistor	Longueur canal (μm)	V_{DS} (V)	Pente (mV/dec) $V_{GS}=200mV$	Pente (mV/dec) $V_{GS}=250mV$
MOS bulk	0.09	0.6	91.024	117.647
SiGeOI MOS	0.09	0.6	92.221	119.143

Tableau 4 Valeurs des courants I_{DS} sous seuil pour $V_{DS}=0.2V$ et $V_{GS}=0.5V$

Transistor	Longueur du canal (μm)	I_{DS} (A)
MOS bulk	0.09	2.1333uA
SiGeOI MOS	0.09	2.3211uA

5. CONCLUSION

Dans ce travail, nous avons présenté une étude comparative entre deux transistors calculés : un NMOS bulk et un SiGeOI NMOS dans les mêmes conditions de fonctionnement. Pour la réalisation du SiGeOI NMOS, nous avons remplacé le SiGeOI NMOS par une approche qui est le BIMOS (MOS+NPN) avec un condensateur. Nous avons noté deux effets essentiels :

- 1- Une augmentation du courant de drain I_{DS} du SiGeOI NMOS par rapport au MOSFET bulk dû à l'effet bipolaire. Ceci entraîne un non saturation du courant de drain.
 - 2- Un abaissement de la tension de seuil V_T de la technologie SiGeOI par rapport au MOSBulk.
- Pour le fonctionnement sous seuil le même phénomène que le fonctionnement en ce qui concerne l'augmentation et le non saturation du courant de drain et un abaissement de la tension sous seuil V_T de la technologie SiGeOI par rapport au MOSbulk.

La pente sous seuil augmente en fonction de la tension de grille et avec la réduction de la longueur du canal. Ainsi la technologie SiGeOI est celle qui peut s'accommoder le mieux à un fonctionnement basse tension et faible puissance.

On peut constater que la technologie LVDS peut être développée pour transmettre des données à haut débit, tout en limitant la puissance consommée.

La transmission numérique des signaux d'entrée-sortie, fonctionne dans toute la gamme de la température même pour des faibles tensions d'alimentation. La limite inférieure atteinte est de 1,13V.

Notre montage fonctionne également jusqu'à 600MHz. Au-delà de 600MHz, il y a une légère déformation mais l'amplitude du signal de sortie reste à 300mV et une tension de mode commun de 1,26V au lieu de 1,25V tel que rencontré dans la littérature [].

REFERENCES

- [1] James B. Kuo, Shih-Chia Lint Circuits and Devices Low-Voltage SOI CMOS VLSI Copyrigh (C) 2001 *John Wiley & Sons, Inc.*
- [2] Christophe PAVAGEAU ; Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques, *thèse l'université des sciences et technologies de Lille* 2006. N^o d'ordre : 3704. www.sudoc.fr.
- [3] Fayçal DJEFFAL Modélisation et simulation prédictive du transistor MOSFET fortement submicronique Application à la conception des dispositifs intégrés *mémoire magister de l'université Batna* 2006.
- [4] Baudouin Martineau, potentialité de la technologie CMOS 65nm SOI pour des applications sans fils en bande millimétrique *thèse universités de Lille France* 2008.
- [5] Manuel d'utilisation du modèle BSIM3v3 Copyright © 1995, 1996, UC Berkeley UC Berkeley <http://www-device.eecs.berkeley.edu/~bsim>.
- [6] Kenneth R.Laker et WillyM .C.Sansen DESIGN OF ANALOGUE INTEGRATED CIRCUITS AND SYSTEMS Copyright (C) 1994 *John Wiley & Sons, Inc*
- [7] Bawedin Maryline, Izamova Dilorom : Transistor MOS Submicronique : [WWW.iue.tuwien.ac.ac.at/publication/PhD analog %20, thèse /stockinger](http://WWW.iue.tuwien.ac.ac.at/publication/PhD%20analog%20,th%C3%A8se%20/stockinger)
- [8] François Dieudonné; Effets de porteurs chauds dans les transistors MOS/SOI ultra-submicroniques Laboratoire de Physique des Composants à Semi conducteurs (L.P.C.S.)E.N.S.E.R.G.23 rue des Martyrs - BP 257 - 38016 GRENOBLE, France
- [9] Stephen Kempainen, National Semiconductor "Low-Voltage Differential Signaling (LVDS)" *Application Note 1382-6: AN 585* www.com.
- [10] LVDS Data Outputs for High-Speed Analog-to-Digital Converters by Cindy Bloomingdale and Gary Hendrickson N-586 [Application note.www.analog.com](http://Application.note.www.analog.com)