

DETECTION DES DEFAUTS DANS LES CIRCUITS ANALOGIQUE AVEC LA METHODE DE LA DENSITE SPECTRALE DE PUISSANCE (DSP)

Wadie Bachir Bouiadjra*, Abdelkader Saidane **

Labo. CaSiCCE ENSET d'Oran, B.P 1523 El M'Naouar 31000, Oran

* Email : nature31@live.fr , **saidaneak@yahoo.com

Résumé :

Dans la vie quotidienne, plusieurs nouveaux domaines sont devenus très importants, tels que les télécommunications, le multimédia, les applications biomédicales, etc. Ces domaines utilisent beaucoup les circuits intégrés analogiques et mixtes. Tester ces derniers a un impact considérable sur le coût de production. En outre, la tendance d'intégrer des systèmes analogiques et numériques complets sur une seule puce pose de très sérieux problèmes d'accès au test. Nous proposons une méthode simple basée sur la comparaison des densités spectrales de puissance (DSPs). Cette méthode de test, basée sur la signature de la densité spectrale de puissance du signal de sortie du Circuit Sous Test (CST), donne de bons résultats quant à la détection des défauts dans le CST. Elle peut être implantée sur les systèmes SOC (System On Chip) moyennant un générateur de bruit numérique intégré.

Mots clés :

Test, DSP, SOC, estimation, intervalle de confiance, défauts

1. INTRODUCTION

Avec l'augmentation de la densité des circuits intégrés et de leur complexité, notamment les SOC (Systems On Chips), le coût du test est du même ordre ou peut même dépasser le coût de la conception du circuit lui-même. C'est pourquoi, il est primordial d'élaborer une stratégie de test efficace et rentable. Cette stratégie a pour objectif la réduction du coût du test tout en garantissant sa qualité. Pour ce faire, il faut réduire la durée du test et sa complexité. Ceci nous ramène au principe de la testabilité qui est l'aptitude qu'a un circuit intégré à être facilement testable [1].

Le test d'un circuit a pour but la détection des problèmes liés à la fabrication

ou au vieillissement, mais pas à la conception. En fin de fabrication, comme pour tous les tests ultérieurs, le circuit est supposé exempt d'erreur de conception [2].

Dans cet article on explique la méthode de test des circuits analogiques pouvant être incluse dans un SOC, puis on propose les paramètres qui seront utilisés dans le test pour détecter les défauts et enfin on évalue la sensibilité de cette méthode de détection. Les résultats de simulation sont validés expérimentalement. Les contraintes qu'on peut rencontrer lors de la recherche des défauts du circuit sous test sont soulignées.

2. MÉTHODE DE TEST

On utilise l'estimation de la densité spectrale de puissance comme signature du circuit. L'idée de base de cette méthode de test est décrite sur le schéma de la Fig.1. Dans la phase d'essai, Fig.1.a, un bruit aléatoire est injecté à l'entrée du circuit sans défaut. Ensuite on estime la DSP du signal de sortie du Circuit Sous Test (CST) qui va représenter la signature du circuit sans défauts. Dans la phase de test, Fig.1.b, la DSP de signal de sortie du circuit sous test (qui contient le défaut) est estimée et comparée avec la signature du circuit sans défaut. La comparaison est basée sur un ensemble de paramètres des signatures DSP.

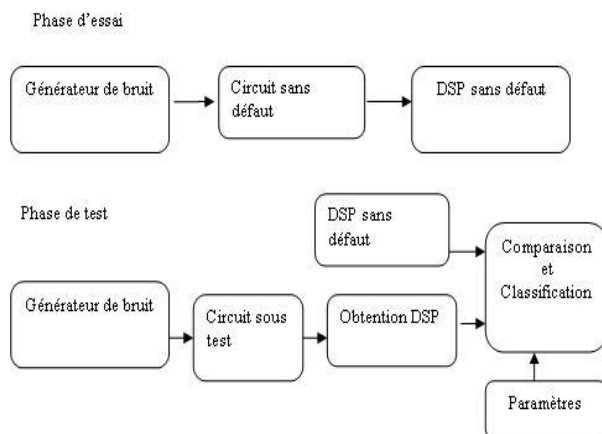


Fig.1 : Principe de la méthode

La caractéristique spectrale du signal aléatoire de test (bruit) doit avoir un spectre plat sur toutes les fréquences de fonctionnement du circuit. En pratique, on excite toutes ces fréquences avec la même densité spectrale de puissance « Bruit blanc », ce qui permet de donner des résultats significatifs quand à l'évaluation

de la DSP. L'objectif, lors d'un test, est de détecter un nombre maximum de défauts (et/ou de fautes) potentiels, en mettant le circuit dans des conditions qui vont induire une défaillance observable si un défaut est présent [2]

2.1. Estimation de la densité spectrale de puissance

On ne peut pas obtenir une vraie DSP par simple acquisition du signal de sortie du circuit sous test, mais seulement une DSP calculée. Ceci est vrai non seulement pour la DSP mais aussi pour la moyenne, la corrélation et toutes les autres caractéristiques des signaux aléatoires. La Fi.2 est une estimation de la DSP correspondant au signal de sortie du CST de la Fig.3, sur une plage de fréquence de 5 KHz.

La plage d'erreur est indiquée sur la Fig.2. Cette erreur dépend du nombre d'estimation de la Transformée de Fourier Rapide (FFT) utilisé dans le processus de la moyenne des DSPs (c'est le nombre n_d de segments utilisés dans l'estimateur de la moyenne.

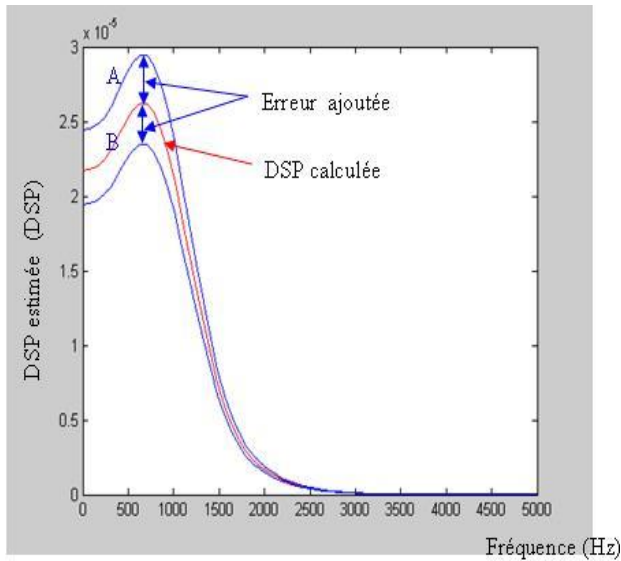


Fig.2 : DSP estimée avec ses erreurs d'estimation ajoutées.

L'erreur sur l'estimation de la DSP est obtenue en utilisant l'expression (1) :

$$\left(1 - \frac{2}{\sqrt{n_d}}\right) \hat{G}_{xx}(f) \leq G_{xx}(f) \leq \left(1 + \frac{2}{\sqrt{n_d}}\right) \hat{G}_{xx}(f) \quad (1)$$

Ou $G_{xx}(f)$ représente la vraie densité spectrale qui est inconnue et $\hat{G}_{xx}(f)$ est la densité spectrale de puissance calculée.

Le pourcentage d'erreur $a\%$ dans l'estimation est donnée par :

$$\frac{a}{100} = \frac{2}{\sqrt{n_d}} \quad \text{soit} \quad n_d = \frac{4 \times 10^4}{a^2} \quad (2)$$

Ce résultat montre qu'il y a une relation entre la durée du test liée à n_d et la résolution du test liée à $a\%$. Par exemple pour 20% d'erreur dans l'estimation et 128 points pour le calcul de la FFT, on a besoin de 12800 échantillons (ce qui détermine la durée du test). Si on veut une erreur de résolution petite, on doit augmenter le nombre n_d ; cette dépendance étant

quadratique, cela signifie qu'une meilleure résolution exige une longue durée de test. Cette limitation dans le temps d'acquisition est due à l'utilisation du bruit, et est valable pour toute méthode de test utilisant des signaux pseudo-aléatoire [3].

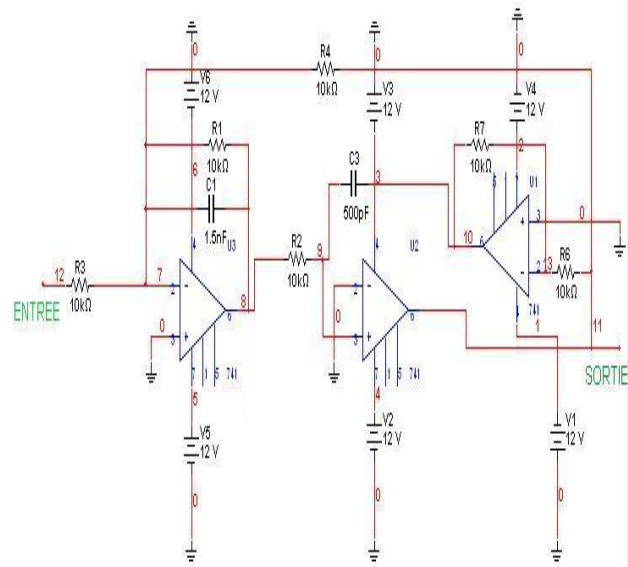


Fig.3 : Filtre passe bas utilisé comme CST [4,5].

2.2. Comparaison des densités spectrales de puissance

Pour réduire la variance de l'estimation de la DSP, il suffit, en principe, de calculer la moyenne de plusieurs estimations de DSP. On doit prendre en compte l'erreur d'estimation de la DSP pour comparer la DSP de référence et celle du CST. La Fig.4 montre un chevauchement entre les DSP calculées. Dans le cas, où elles sont voisines, la zone de chevauchement est plus large et nous empêche d'établir un seuil de comparaison entre la DSP de référence et la DSP du CST. Les valeurs d'une DSP sont estimées dans l'intervalle de confiance d'une vraie DSP (A et B sur la Fig.2). Si l'intervalle de confiance de la DSP de

référence chevauche avec l'intervalle de confiance de la DSP du CST, cela veut dire qu'ils ont les mêmes valeurs et on ne pourra pas détecter les défauts existants dans le CST (circuits avec défauts).

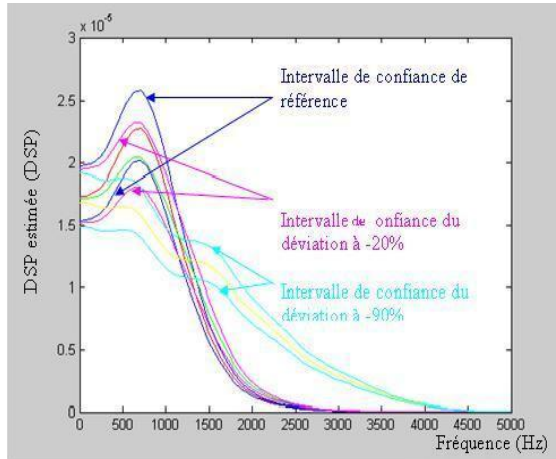


Fig.4 : Chevauchement des DSP calculées pour des variations de 20% à 90% de la valeur nominale du condensateur C1.

Afin de comparer la DSP de référence avec celle du CST on doit analyser deux paramètres de comparaison qui sont :

- 1) La distance entre la courbe de la DSP de référence (circuit sans défauts) et la courbe de la DSP du CST, notée « A » sur la Fig.5.
- 2) La distance entre la courbe de la DSP de référence et l'une de ses erreurs d'estimations supérieur ou inférieur, notée « B » sur la Fig.5. Cette deuxième distance sera appelée seuil de comparaison.

Le premier paramètre, dit « distance », est formé par la moyenne des carrés de la différence des DSPs :

$$distance = \frac{1}{N_{freq}} \sum [DSP(f) - reference_DSP(f)]^2 \quad (3)$$

Ou $DSP(f)$ est la DSP du CST et $reference_DSP(f)$ est la DSP de référence. N_{freq} est le nombre de points dans la plage de fréquence d'une DSP calculée. Il représente la moitié du nombre de points utilisés dans le calcul de la FFT. Dans notre cas on a utilisé 128 points pour le calcul de la FFT donc $N_{freq} = 64$ points.

Dans notre procédure, on change à chaque fois la valeur d'un composant et on calcul cette distance pour chaque nouvelle valeur du composant. Le seuil de comparaison est la moyenne des carrés de la différence entre la DSP de référence et de son erreur :

$$seuil_comparai = \frac{1}{N_{freq}} \sum (erreur_DSP - reference_DSP)^2 \quad (4)$$

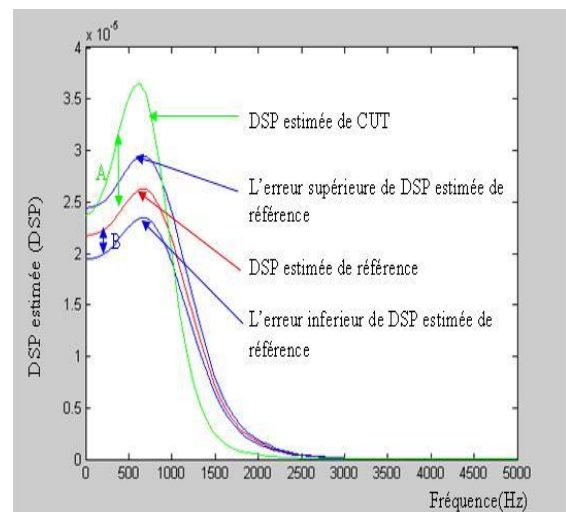


Fig.5 : Distances calculées entre les DSPs.

3. RÉSULTATS ET DISCUSSIONS

Les résultats sont obtenus en prenant 128 points dans le calcul de la FFT. Pour 20% d'erreur d'estimation de la DSP, la longueur totale d'enregistrement est de 12800 échantillons et pour 10% d'erreur

d'estimation dans la DSP, la longueur d'enregistrement est de 51200 (selon l'expression 2). Il est impossible de faire le calcul de la FFT et l'estimation de la DSP sur un nombre infini d'échantillons. Le calcul est toujours effectué sur un nombre fini dans une fenêtre. Le choix de ces erreurs (20% et 10%) est dicté par un grand nombre de processus de FFT (n_d) et pour avoir un nombre d'échantillons acceptable dans l'estimation de la DSP (résolution fréquentielle) et sa moyenne (un bon lissage de la courbe DSP). Le temps de test restant raisonnable.

On applique à l'entrée du CST un bruit blanc de distribution uniforme. On néglige le bruit thermique des résistances et on considère qu'on excite toutes les fréquences de fonctionnement de notre circuit de test avec une puissance acceptable. L'influence de ce bruit sur les composants du circuit est alors évaluée.

Les DSP sont calculées en utilisant le périodogramme de moyenne avec 0% de chevauchement (la quantité de recouvrement entre les segments est nulle). La fenêtre de pondération choisie est de Hanning à cause de sa faible fuite spectrale.

La DSP de référence est obtenue avec des valeurs de composants nominales (sans déviations).

Les DSP calculées sont obtenues en changeant la valeur du condensateur C1 de $\pm 90\%$, $\pm 50\%$, $\pm 30\%$ et $\pm 20\%$ de sa valeur nominal.

La Fig.6 montre les diverses DSP calculées, par rapport à la DSP de référence,

suite à chaque variation de la valeur du condensateur C1. L'augmentation ou la diminution du maximum de la DSP par rapport au DSP de référence pour chaque changement est due à une variation dans la fonction de transfert du circuit sous test.

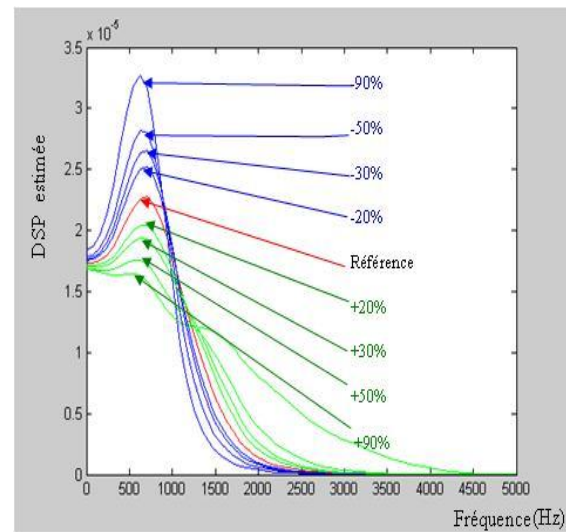


Fig.6 : Evolution des DSPs du composant C1 par rapport à la DSP de référence.

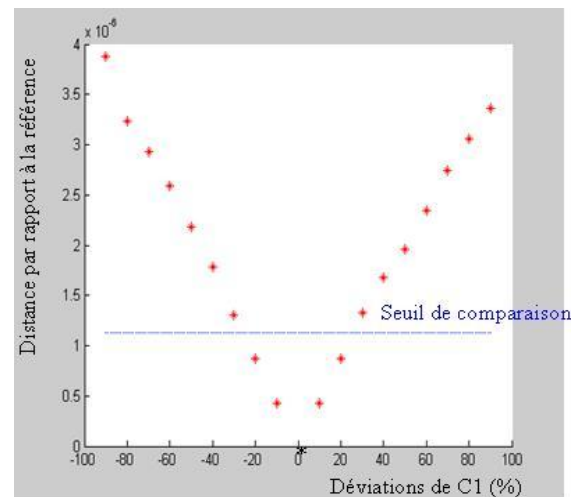


Fig.7 : Mesure de distance pour des variations de la valeur du condensateur de C1

La Figure 7 montre les paramètres de comparaison pour différentes valeurs du condensateur C1. La distance par rapport à la référence est nulle pour la valeur

nominale de C1. Cette distance augmente avec l'augmentation de la déviation de C1 de sa valeur nominale. Le seuil de comparaison est placé à 20% d'erreur d'estimation correspondant à 12800 échantillons et est représenté sur la Figure 7 pour séparer les déviations qui représentent des défauts dans le circuit sous test (CST) de celles qui ne représentent pas de défauts. On remarque une certaine symétrie dans la Figure, mais les distances dans les deux sens (positive et négative) ne sont pas les mêmes à cause du changement du niveau de DSP.

Ainsi les distances qui sont inférieures au seuil de comparaison ne seront pas détectées comme défauts.

La distance mesurée sur le graphe de la Fig.7 ne tient pas compte de l'effet d'erreur d'estimation. Ce qui explique la raison pour laquelle les distances sont constantes.

La Fig.8 montre les distances par rapport à la référence calculées en tenant compte de l'influence des erreurs d'estimations de chaque DSP calculées. Cette expérience a été répétée 450 fois pour estimer l'erreur provoquée par l'effet de bruit sur les DSP calculées. Le seuil de comparaison est toujours calculé pour 20% d'erreur (12800 échantillons utilisées dans cette expérience). On remarque que cette distance n'est pas constante mais suit les variations des DSP calculées pour chaque nouvelle valeur du condensateur C1.

Les écarts dans les distances des DSPs (par rapport à la référence) sont petits pour les variations négatives de C1 alors que pour les variations positives de C1 ils sont

plus grands. On peut expliquer cette différence si on revient aux Figure 4 et Figure 6 qui reflètent que l'intervalle de confiance des DSP pour les variations négatives de C1 est plus petit que l'intervalle de confiance des DSP pour les variations positives de C1. Ainsi la marge d'erreur commise sur les DSPs calculées pour les variations négatives de C1 est plus petite par rapport à la marge d'erreur commise sur les DSPs estimées pour les variations positives de C1.

On distingue sur la Fig.8 que tous les résultats pour une déviation de plus de $\pm 40\%$ de la valeur du composant C1 sont au dessus du seuil de comparaison. Pour les variations autour de $+20\%$ de C1 la plupart des distances estimées sont au dessous du seuil de comparaison avec quelques unes au dessus. Donc plus l'erreur commise sur une DSP estimées est grande et que cette DSP est plus près du seuil de comparaison, plus on peut avoir des contraintes sur la sensibilité aux défauts. Pour résoudre ce problème il faut soit réduire l'erreur d'estimation de la DSP, soit diminuer le seuil de comparaison.

La Figure 9 montre comment on peut augmenter la sensibilité aux défauts en augmentant le nombre d'échantillons de 12800 à 51200. On remarque que l'augmentation du nombre d'échantillons diminue la distance de variation dans l'estimation de la DSP. La diminution de la marge d'erreurs commise sur chaque DSP estimée va induire à son tour une diminution de la variation des distances des DSP par rapport à la référence. On

remarque sur la Figure 9.b que la variation de la DSP de +20% n'est plus détectée comme un défaut car l'augmentation du nombre d'échantillons a rendue la détection possible. En effet, Plus on augmente le nombre d'échantillons plus la correction sur la détection des défauts est bonne et meilleur sera la détection des défauts.

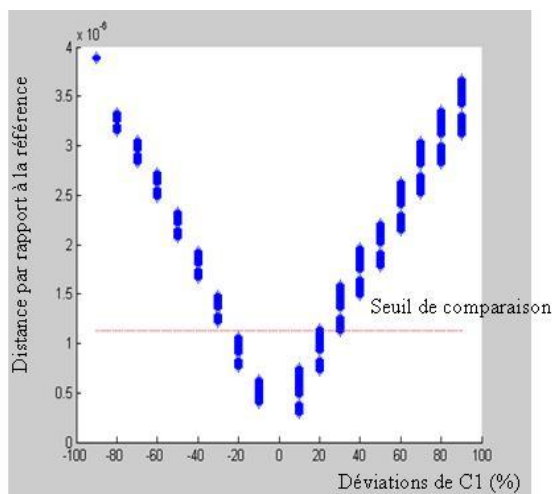


Fig. 8 : Erreurs sur la distance en tenant compte de des erreurs d'estimations des DSP calculées. (450 essais).

On peut utiliser le pourcentage d'existence de défauts par rapport au nombre d'essais exécutés pour classer le circuit testé parmi ceux avec défauts ou ceux sans défauts. La Figure10 montre ce pourcentage pour 450 essais. Ce test évalue le nombre d'essais qui révèlent les défauts dans le circuit testé par rapport à l'ensemble d'essais exécutés. Ce test est effectué pour chaque déviation du condensateur C1 (de $\pm 10\%$ à $\pm 90\%$ par pas de 10%).

La Figure10 montre qu'au-delà de $\pm 40\%$ de variation dans la valeur nominale du composant défectueux tous les tests

indiqueront qu'il y a un défaut dans le circuit. La détection de défaut dans le circuit est à 100% sur les 450 essais. Dans toutes les simulations, toutes les variations des DSPs par rapport à la référence sont au dessus du seuil de comparaison. On remarque aussi que toutes les distances des DSPs par rapport à la référence pour une variation dans la valeur nominale du composant défectueux de $\pm 10\%$ est au dessous du seuil de comparaison pour toutes les simulations (450 essais). Cet écart ne sera pas considéré comme un défaut (0%). La Figure 10 montre qu'il existe des valeurs différentes de 0% et 100% pour lesquelles une décision doit être prise. Dans le cas d'une implémentation automatique de cette méthode de test, il faut choisir un pourcentage seuil au-delà duquel le circuit sous test sera considéré comme ayant un défaut.

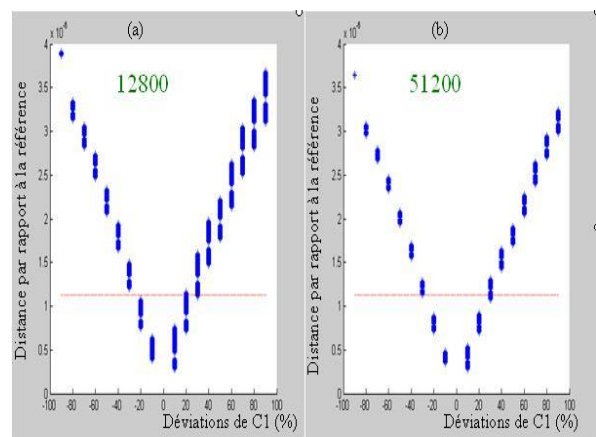


Fig.9: Influence du nombre d'échantillons

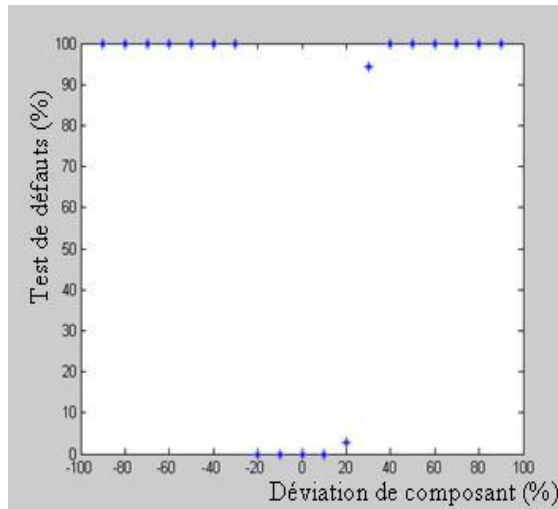


Fig.10 : Test de défaut de CST

Le seuil de comparaison était défini pour savoir si les DSPs estimées du CST sont les mêmes que la DSP de référence, donc la valeur de ce paramètre peut contrôler la sensibilité de test. La Fig.11 montre l'effet de la réduction du seuil de comparaison sur la sensibilité aux défauts. On distingue qu'une réduction du seuil de comparaison de 50%, donne une meilleure détection de défauts, ce qui veut dire que ce paramètre peut gérer et contrôler la sensibilité à un défaut. La réduction du seuil de comparaison s'exprime par la réduction d'erreur commise sur la DSP de référence.

Pour cette réduction, on doit augmenter encore plus le nombre d'échantillons du signal de test. L'augmentation du nombre d'échantillons conjuguée à l'intervalle de confiance sur la DSP de référence, donnent une gamme d'erreur faible qui à son tour conduit à une réduction du seuil de comparaison. Par exemple, pour réduire le seuil de comparaison à 50% on double le nombre d'échantillons. Ces deux

paramètres augmentent la chance de détecter des défauts, Figure 11. Ainsi, on a une meilleure sensibilité aux défauts de la méthode. Cependant, l'augmentation du nombre d'échantillons augmente la durée du test et exige une circuiterie plus complexe pour l'acquisition des données. Donc le test sera plus coûteux pour une sensibilité meilleure.

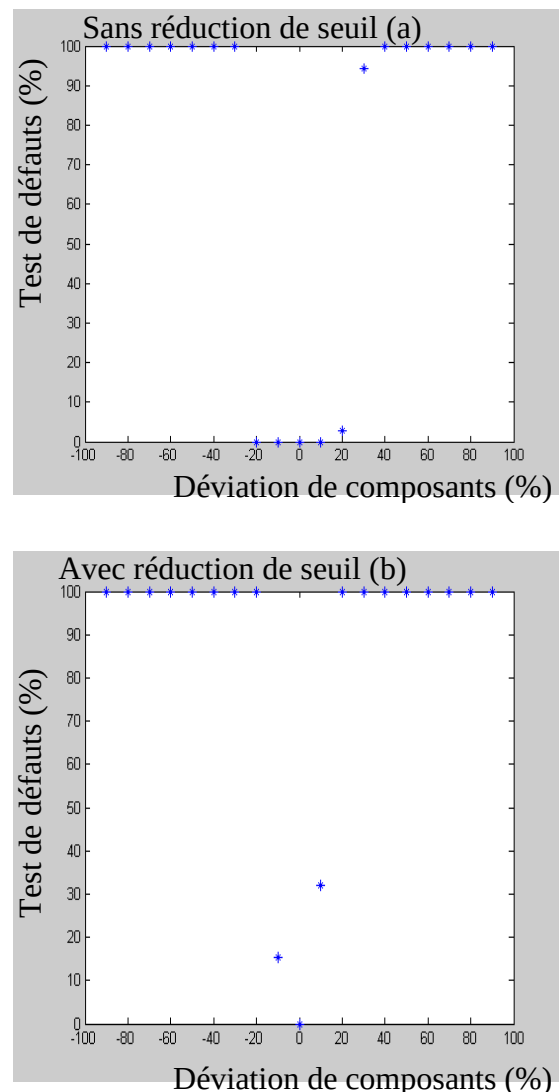


Fig.11 Test défaut selon le seuil de comparaison.

4. CONCLUSION

Les résultats de simulation précédents montrent bien que la méthode de test, basée sur la comparaison des DSP calculées avec la DSP de référence, est capable de détecter toute variation dans la valeur nominale du condensateur C1 au-delà d'un seuil de référence choisi par l'opérateur. Cette méthode est capable de détecter les déviations dans la fonction de transfert du CST en utilisant la DSP comme signature. Les distances calculées entre les DSPs pour les variations de C1 et sans variations permettent de différencier entre les circuits avec et sans défauts. La sensibilité aux défauts est meilleure lorsqu'une petite variation de la valeur nominale d'un composant conduit à une grande déviation de la DSP par rapport à la DSP de référence.

La durée du test est un paramètre important dans le test de défauts. Il conditionne le coût de la méthode de test et son implémentation dans un circuit intégré type SOC. Le nombre d'échantillons influe sur la sensibilité aux défauts et peut masquer les petites variations du CST. Il faut trouver un compromis entre la durée du test (coût du montage) et la diminution de la résolution (diminution de la sensibilité aux défauts).

Le bruit de test à une influence sur la détection des défauts, et tout autre signal non corrélé avec ce bruit sera filtré dans les estimations de la DSP [3] (erreurs d'estimation, l'augmentation du nombre de segments dans le calcul du periodogramme

de moyenne). Il sera masqué à cause de la puissance de bruit généré dans le test et son uniformité sur toute la plage de fréquence de fonctionnement du circuit sous test.

RÉFÉRENCES

- [1] M.slimane Boutobza, Outils de génération de structure BIST / BISR pour mémoires thèse, Institut national polytechnique de Grenoble, France, 2002.
- [2] R.Aveugle, Test des circuits intégrés numériques, thèse, École nationale supérieure d'électronique et de radioélectricité de Grenoble, France, 2002.
- [3] M.Negreiros, L.Carro, A.A. Susin.. Testing analog circuit using spectral analysis, Microelectronics, Journal 34, 2003, pp. 937-944.
- [4] P.Bildstein, Synthèse et réalisation des filtres actifs, Techniques de l'Ingénieur, Électronique, Paris, France, 1997, vol. 3, E3130, pp. 1-21.
- [5] D.Akerberg, K.Mossberg, A versatile active RC building block with inherent compensation for the finite bandwidth of the amplifier. IEEE Transactions on Circuits and systems, 1974, pp. 75-78